

ENVIRONNEMENT DE MODELISATION ET DE CONCEPTION LOGICIELLE/MATERIELLE POUR SYSTEME SUR PUCE

DOCTORANT : HUGUES ALMORIN.

ENCADRANTS : CHRISTOPHE JEGO, BERTRAND LE GAL, JEREMIE CRENNE (LABORATOIRE IMS)
VINCENT KISSEL (ARELIS - GROUPE LGM)

Dans un contexte de développement d'équipements hyperfréquences de pointe, un besoin grandissant de systèmes embarqués est avéré. Ces derniers doivent intégrer des applications de traitement de signal numérique sous contrainte de performance. Pour ces produits, l'utilisation des Systèmes sur Puce (System-on-chip, SoC) reposant sur des circuits FPGAs est de plus en plus courante. La matrice d'éléments logiques programmables permet tout d'abord l'implantation d'accélérateurs matériels tandis que les interfaces d'entrées/sorties du composant permettent un interfaçage avec le reste du système. En parallèle de l'utilisation de la matrice d'éléments logiques, la présence d'un cœur de processeur ou d'un microcontrôleur permet de piloter et de configurer les traitements réalisés.

Lors de l'année 2020-2021, les travaux réalisés dans le cadre de la première année du cursus doctoral ont porté sur la mise en place du sujet, l'étude de l'état de l'art autour des méthodologies de conception basées sur l'utilisation de modèles comportementaux et le développement d'outils visant à faciliter la conception des couches logicielles (middleware). Lors de ces travaux, les besoins et les problématiques proposés par l'entreprise ARELIS ont été analysés. Ils sont essentiellement focalisés sur le développement du middleware pour piloter et configurer des composants matériels via un SoC et le prototypage rapide des architectures de traitement de signal numérique (TSN) sur la partie reconfigurable du circuit FPGA. Ces deux objectifs ont pour vocation de réduire le temps de conception de nouveaux systèmes et de valider au plus tôt par prototypage les phases de conception.

Il n'existe pas actuellement d'outil qui réponde précisément à ces problématiques. Nous avons donc formalisé les besoins énoncés précédemment et débuté le développement d'outils :

- La première version d'outil développé permet d'associer une base de registre à une spécification client pour un module en cours de développement. Il procède ensuite à la génération d'une bibliothèque de fonctions pour faciliter les accès aux registres par les utilisateurs. Le manque de généricité de cet outil nous a amené à nous intéresser à des méthodes de modélisation de composants et de modules matériels via la norme IP-XACT.
- Par la suite, une chaîne de traitement de signal RADAR basée sur des modèles comportementaux des traitements à implémenter a été décrite en langage C++. Son architecture matérielle est synthétisable à l'aide d'outils de synthèse d'architecture (HLS) tel que Vitis HLS développé par la société Xilinx. Pour faciliter le prototypage des modèles synthétisables, un outil a été conçu pour effectuer automatiquement de l'exploration de l'espace des solutions architecturales afin d'identifier les meilleurs compromis architecturaux (performances, complexité, énergie consommée). L'environnement développé a été testé principalement sur la fonction transformée de Fourier rapide que comporte notre cas d'étude. Toutefois, cet environnement a pour vocation à être généralisé à d'autres blocs élémentaires de traitement numérique.

Ces outils sont pour le moment toujours en cours de développement et d'évaluation. Une fois validés, ils feront l'objet d'une valorisation scientifique de type publication.