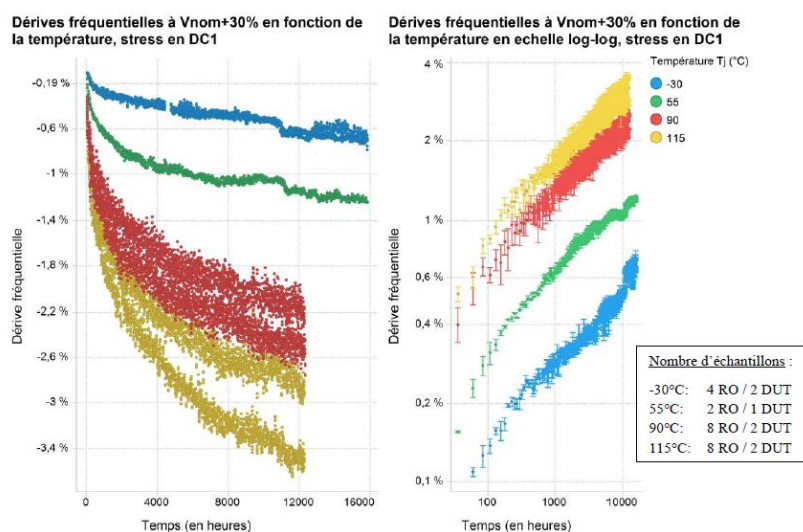


Mesure et prévision de la fiabilité des composants numériques de dernière génération sous l'effet du vieillissement – IMS laboratory

Afin d'avoir des circuits numériques toujours plus performants à taille identique, la priorité des industriels est de développer des composants élémentaires (transistors) toujours plus petits. Il y a une dizaine d'années, la communauté scientifique a constaté que la diminution de la taille des transistors planaires engendre l'augmentation des courants de fuites et par conséquent l'augmentation du courant consommé et de la température de jonction. Une nouvelle architecture de transistor est alors développée, le FinFET[1], pour continuer la course à la miniaturisation tout en préservant des performances répondant aux besoins du marché. Les deux plus grands fabricants de FPGA, Xilinx et Intel, intègrent les transistors FinFET dans leurs FPGA comme le Zynq Ultrascale+ 16nm [2] ou le Agilex 10nm [3]. Dans les secteurs tel que l'aérospatial ou encore la défense, la sûreté des systèmes est une exigence de première importance. Un des facteurs caractérisant la sûreté est sa fiabilité sous l'effet du vieillissement. La mesure de la dérive fréquentielle d'oscillateurs en anneaux (ROs) est une méthode permettant de déterminer la fiabilité à l'échelle du transistor [4]. Le contrôle des paramètres environnementaux (tension d'alimentation, température et rapport cyclique du signal) conduit à l'identification des mécanismes de défaillance contribuant à la dégradation progressive du transistor. Dans la littérature on retrouve 4 mécanismes de défaillances qui dégradent les VLSI avec des MOSFETs [5] : Le Time Dependent Dielectric Breakdown (TDDB), Le Hot Carrier Injection (HCI), Negative Bias Temperature Instability (NBTI) et l'ElectroMigration (EM). La figure 1 montre plusieurs dérives de RO en fonction du temps.



Ces dérives sont obtenus avec des températures différentes et une tension d'alimentation 30% supérieure à la tension nominale. Cette dérive caractérise la fiabilité du circuit numérique et avec une connaissance de l'architecture interne de celui-ci, la dérive caractérise la fiabilité à l'échelle du transistor.

Figure 1 : Dérives fréquentielles de RO observés pendant 2 ans par Julien COUTET

- [1] Sarah Adey, "Transistors Go Vertical," *IEEE Spectrum*, 2007.
- [2] V. Boppana, S. Ahmad, I. Ganusov, V. Kathail, V. Rajagopalan, and R. W. Hotchips, "UltraScale+ MPSoC and FPGA Families," 2015.
- [3] J. Chromczak et al., "Architectural enhancements in Intel® Agilex™ FGAs," in *FPGA 2020 - 2020 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays*, Feb. 2020, pp. 140–149
- [4] M. Naouss and F. Marc, "Design and implementation of a low cost test bench to assess the reliability of FPGA," *Microelectronics Reliability*, vol. 55, no. 9–10, pp. 1341–1345, Aug. 2015
- [5] S. Shaheen, G. Golan, M. Azoulay, and J. Bernstein, "A comparative study of reliability for finfet," *Facta universitatis - series: Electronics and Energetics*, vol. 31, no. 3, pp. 343–366, 2018