

Développement et intégration sur ASIC d'une fonction de pointage numérique flexible, autonome et couplée avec la partie analogique pour la commande une antenne active 2D

Laboratoire IMS

Auteur : Jonathan SAUSSEREAU

Dirigé par : Christophe JÉGO, Jean-Baptiste BEGUERET, Camille LEROUX

1 Contexte

Le contexte des travaux de thèse est celui d'antennes actives 2D positionnées sur un panneau antennaire. L'un des défis majeurs concerne la fonction numérique de pointage dont l'intégration décentralisée au plus près de l'antenne active offre des avantages indéniables par rapport à une commande numérique déportée et centralisée. Des premiers travaux ont porté sur la spécification de la fonction numérique à proprement parler et son intégration dans la technologie SiGe, B9MWRF27 130nm. Ces travaux ont démontré la faisabilité de l'approche retenue.

Plusieurs études sont cependant encore à mener pour ajouter à la fois de la flexibilité et de l'autonomie à l'architecture numérique mais également favoriser son couplage avec la partie RF de l'antenne. L'ajout de flexibilité concerne principalement l'interaction de l'architecture numérique avec son environnement : guidage et protocole d'échange de données. La propriété d'autonomie consiste à ajouter de l'intelligence à la fonction numérique et à l'architecture associée pour améliorer le pointage. Par ailleurs, il peut également s'avérer intéressant d'ajouter de nouvelles fonctionnalités. Le tout de manière plus ou moins indépendante des commandes centralisées reçues.

Enfin, l'organisation globale de l'antenne impose jusqu'à présent de différencier les phases d'exécution des ensembles numériques et RF. Cette organisation permet de se prémunir de perturbations provenant de l'exécution du bloc numérique de correction. Le couplage de la partie numérique avec l'ensemble analogique de l'antenne active serait une étude complémentaire à mener.

2 État des travaux

Dans un premier temps, une synthèse sur les architectures préalablement développées par l'équipe a été menée. De plus, la description VHDL de l'architecture ainsi que le flot de conception numérique ont été pris en main. Une étude spécifique a été effectuée sur le thème de la montée en fréquence de l'architecture. Par ailleurs, un autre travail a concerné le taux de couverture de test de l'architecture qui a été jugé perfectible malgré la centaine de scénarios définis durant le projet. De nouveaux scénarios et des modifications mineures de l'architecture ont permis d'augmenter le taux de couverture. Enfin, les zones non couvertes par les tests ont été expliquées.

Actuellement, une architecture alternative micro-programmée est en cours de développement. En effet, une approche basée sur un jeu d'instructions doit permettre d'aboutir à une architecture flexible suivant les générations d'antennes mais également des ajustements des circuits des systèmes en opérationnel. Il a été décidé d'étudier la faisabilité d'une architecture micro-programmée basée sur un cœur RISC-V. En effet, l'architecture de jeu d'instructions (ISA) matérielle open-source RISC-V permet désormais de concevoir, librement et sans redevance, des familles de processeurs très performants. Si l'architecture RISC-V est déjà utilisée pour des applications embarquées à faible performance / basse consommation, il est possible de développer à terme des SoC RISC-V combinant de hautes performances et une consommation raisonnée. Un atout indéniable de l'architecture de jeu d'instructions (ISA) matérielle open-source est la possibilité d'ajouter/supprimer/organiser les instructions suivant l'application visée.